

- Von Neumannovo schéma

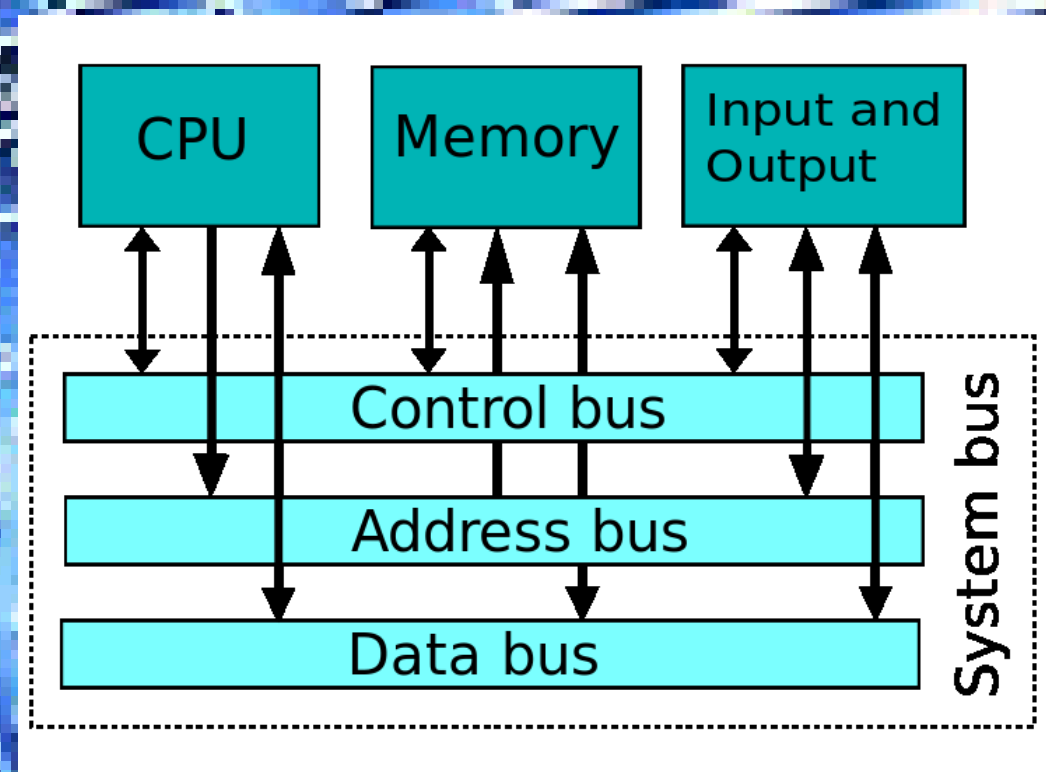


- Operační paměť: slouží k uchování zpracovávaného programu, zpracovávaných dat a výsledků výpočtu
- ALU - Arithmetic-logic Unit (aritmetickologická jednotka): jednotka provádějící veškeré aritmetické výpočty a logické operace. Obsahuje sčítačky, násobičky (pro aritmetické výpočty) a komparátory (pro porovnávání)
- Řadič: řídicí jednotka, která řídí činnost všech částí počítače. Toto řízení je prováděno pomocí řídicích signálů, které jsou zasílány jednotlivým modulům. Reakce na řídicí signály, stavy jednotlivých modulů jsou naopak zasílány zpět řadiči pomocí stavových hlášení
- Vstupní zařízení: zařízení určená pro vstup programu a dat.
- Výstupní zařízení: zařízení určená pro výstup výsledků, které program zpracoval

1. Do operační paměti se pomocí vstupních zařízení přes ALU umístí program, který bude provádět výpočet.
2. Stejným způsobem se do operační paměti umístí data, která bude program zpracovávat
3. Proběhne vlastní výpočet, jehož jednotlivé kroky provádí ALU. Tato jednotka je v průběhu výpočtu spolu s ostatními moduly řízena řadičem počítače. Mezivýsledky výpočtu jsou ukládány do operační paměti.
4. Po skončení výpočtu jsou výsledky poslány přes ALU na výstupní zařízení. Jednotlivé části jsou společně propojeny sběrnici



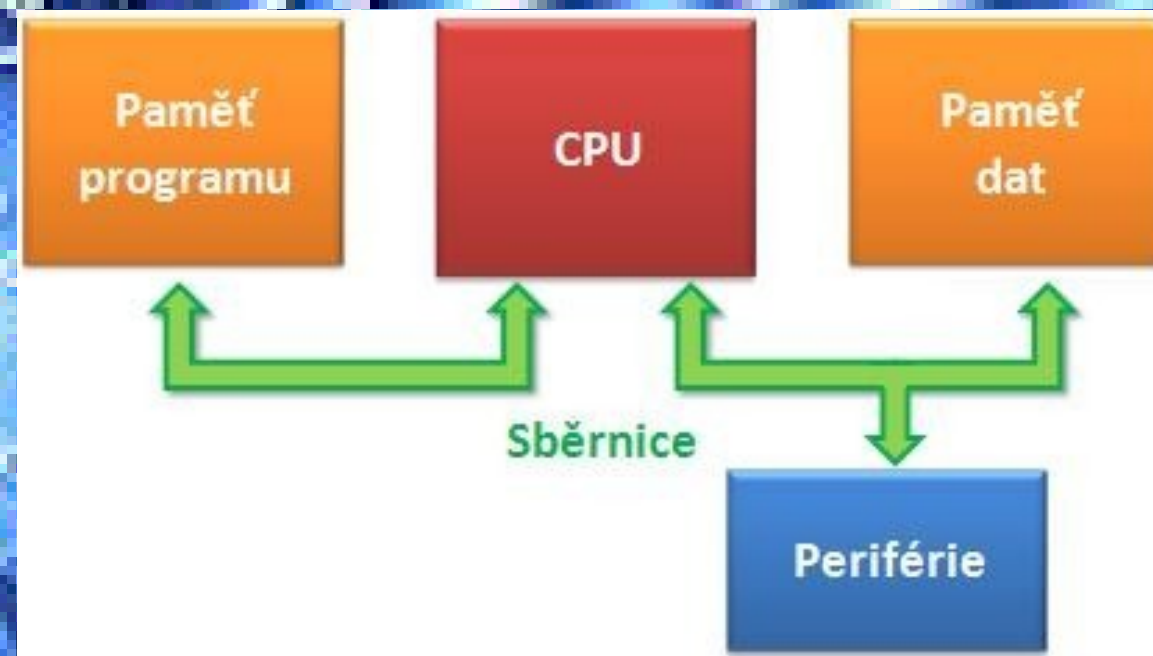
- Sběrnice = silnice po které proudí data či programy mezi jednotlivými komponentami. Důležitým parametrem je šířka sběrnice tj. kolik proudů má. Její šířka vyplývá ze šířky slova, čímž je uvedeno, kolik bitů může proudit v jednom směru paralelně



- Harvardská architektura

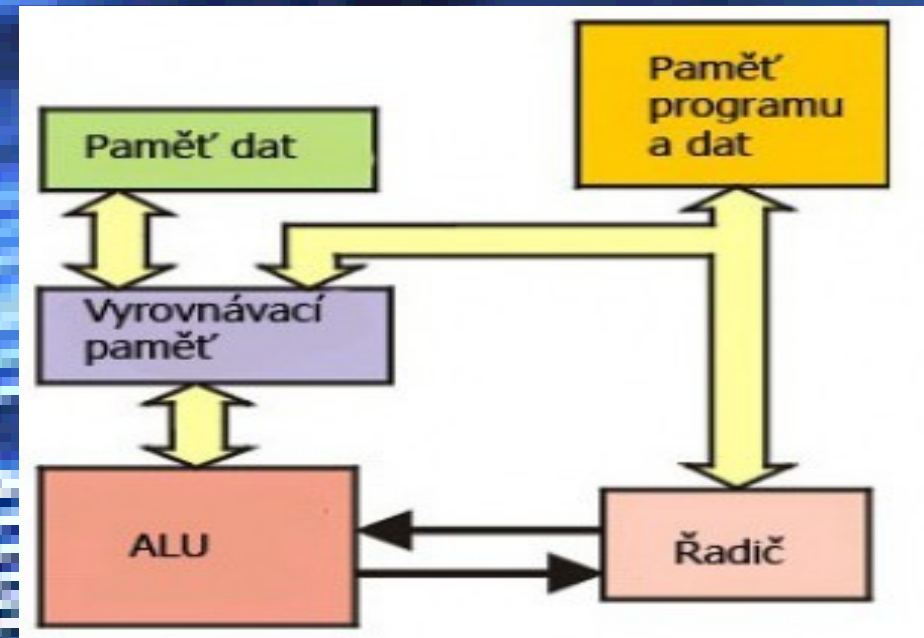
- 1. rozdělen blok paměti na dva bloky - zvlášť paměť pro programy a zvlášť paměť pro data.

- koncepce dovoluje používat pro paměť programu například paměti typu ROM (Read Only Memory) a umožňuje v podstatě zdvojnásobení velikosti paměti oproti von Neumanově architektuře při stejné veliké adresové směrnici

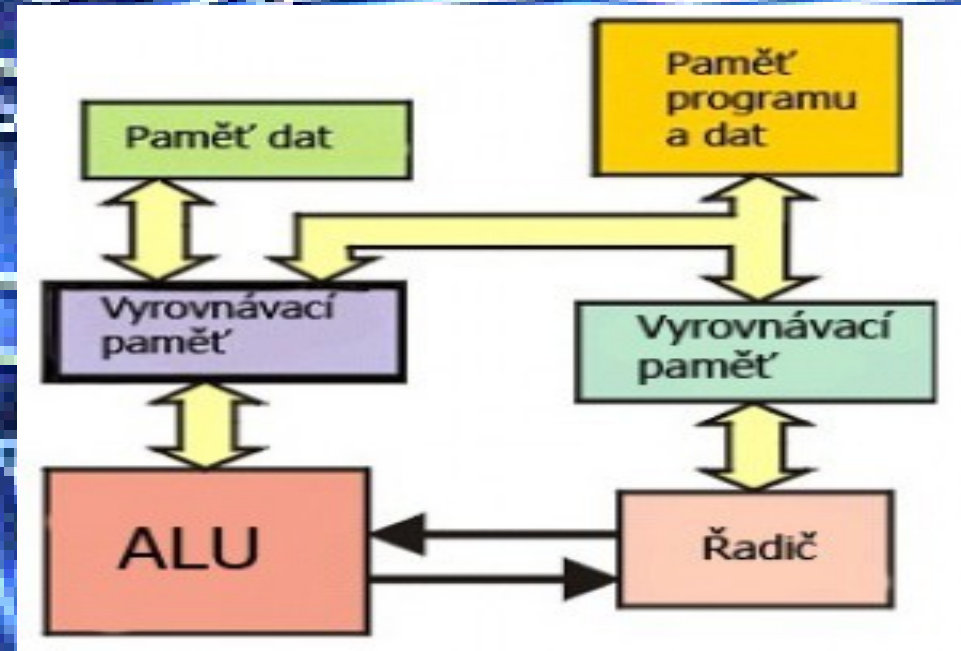


Architektura

- Typ 1: Na rozdíl od základní architektury umožňuje současné zapisování dat a instrukcí do programové i datové paměti



- Typ 2: Používá se v případech, kdy je potřeba současně přistupovat k datům a instrukcím. Vzniká doplněním typu 1 o vyrovnávací paměť před programovou paměť. Instrukci z programové paměti se načítají do vyrovnávací paměti, díky čemuž lze následně načítat operandy z datové i programové paměti současně. Toto řešení se využívá nejčastěji v systémech, kde se využívají krátké opakované smyčky bez nutnosti načítání instrukce použité ve smyčce, která je uložena ve vyrovnávací paměti.



Instrukční sada

- čtyři základní principiální architektury:
- CISC (Complex Instruction Set Computer),
- RISC (Reduced Instruction Set Computer),
- VLIW (Very Long Instruction Word) a
- MISC (Minimum Instruction Set Computer).

CISC – Complex Instruction Set Computer

Zkratka CISC označuje procesor s velkým množstvím strojových instrukcí (řádově stovky) a relativně malým počtem registrů (jejich počet obvykle nepřesahuje 30). Procesory CISC mají různě dlouhé strojové instrukce, jejichž vykonání trvá různě dlouhou dobu. Označení CISC bylo zavedeno jako protiklad až poté, co se prosadily procesory RISC, které mají instrukční sadu naopak maximálně redukovanou.

RISC – Reduced Instruction Set Computer

Zkratka RISC označuje procesory s redukovanou instrukční sadou, jejichž návrh je zaměřen jednoduchou, vysoce optimalizovanou sadu strojových instrukcí, která využívá jen velmi malého množství nejčastěji užívaných, instrukcí. Téměř všechny instrukce potřebují stejnou dobu pro své vykonání, obvykle jen jeden cyklus pro své vykonání, na rozdíl od CISC, kde se

Architektura CPU

- **Co je SoC?**
- **SoC (system on a chip)** – „systém na čipu“
- integrovaný obvod, který odstraňuje hranici mezi mikroprocesorem a mikropočítačem
- obsahuje kromě vlastního procesoru i další subsystémy pro zpracování grafiky, zvuku nebo připojení periférií
- nejde tedy o rozdělení do chipsetů nebo samostatných karet, jak to známe z osobních počítačů. Jader procesoru je v SoC v dnešní době i více.

Architektura CPU

- **IA-32**

- (Intel Architecture, 32 bit) Dříve byla tato architektura označovaná, jako architektura i386, ale při přípravě nové architektury IA-64 byla přejmenována do současné podoby IA-32. Jedná se o 32bitovou CISC architekturu. Lze na ni pohlížet, jako na podmnožinu předchozí architektury x86, ale rozšíření, která procesor Intel 80386 do této architektury přinesl, především stránkování paměti a 32bitové registry, byla natolik významná, že procesory, které jsou s ním kompatibilní lze označit za samostatnou architekturu.

Architektura CPU

- IA-64

- (Intel Architecture, 64-bit) je 64-bitová architektura vyvinutá firmami Intel a Hewlett-Packard, která je implementovaná v procesorech Itanium a Itanium 2. Cílem IA-64 bylo vyvinout post-RISC architekturu, která by vyřešila mnohé z problémů, kterým čelily starší architektury. Nová architektura byla vystavěna na základech počítačového modelu zvaného Explicitly Parallel Instruction Computing (EPIC). EPIC byl navržen tak, aby zvýšil schopnost mikroprocesorů vykonávat paralelně více instrukcí, a to spíše pomocí softwarového kompilátoru, než pomocí komplexních logických obvodů na procesoru. S tímto přístupem se podařilo zvýšit počet vykonaných instrukcí za jeden takt procesoru a tím zvýšit i celkový výkon procesoru. Procesory architektury IA-64 implementují nejméně 128 obecných (64 bitů širokých) registrů

Architektura CPU

- **x86-64**
- (dříve AMD64) Je označení generace 64bitových procesorů kompatibilních s původními IBM PC (x86). Touto architekturou, která byla uvedena firmou AMD již v roce 2003, jsou momentálně vyráběny všechny současné desktopové CPU. Procesor je tedy zpětně kompatibilní s 32bitovou (IA-32) a 16bitovou (x86) architekturou. Kvůli zpětné kompatibilitě je rozšíření realizováno jako další módy procesoru. Procesor je možné provozovat buď s 32bitovým jádrem operačního systému (kterým může být i systém určený pro i386) v Legacy (zdeděných) módech, nebo s 64bitovým jádrem v Long módech - jádro potom běží v 64bitovém módu a aplikace v 64bitovém nebo v kompatibilním režimu. Vzhledem k zjištěným výkonovým výhodám architektury RISC oproti CISC, jsou procesory realizovány interně architekturou RISC emulující pomocí mikrokódu architekturu CISC.

Architektura CPU

- **ARM**

- **Advanced RISC Machines**

- označení architektury procesorů používaných díky své nízké spotřebě elektrické energie zejména v mobilních zařízeních (mobilní telefony, tablety). Globálně je v roce 2013 ARM nejpočetněji zastoupenou architekturou mikroprocesorů
- 60 % mobilních zařízení na světě obsahuje ARM čip. V roce 2013 bylo vyrobeno 10 miliard ARM procesorů, v roce 2014 už 50 miliard

Architektura CPU

- **MIPS**

- MIPS (Microprocessor without Interlocked Pipeline Stages) je procesor bez automaticky organizované pipeline. Pipeline využívá skutečnost, že jedna instrukce nemusí vždy používat všechny prostředky procesoru. Instrukcí může tedy procesor zpracovávat více najednou. Ovšem pouze za podmínky, že u těchto instrukcí nejde o využití stejných prostředků procesoru. Splnění této podmínky však musí hlídat programátor nebo překladač, a proto jde o non-interlocked pipeline. MIPS je stejně jako ARM v kategorii RISC procesorů.
- MIPS procesory se uplatnily například ve velmi rozšířených konzolách Nintendo 64, PlayStation 2, PlayStation Portable a dalších zařízeních jako jsou set-top boxy, mobilní telefony, tiskárny a podobně.